

DYNAMIC QUANTITY SENSOR

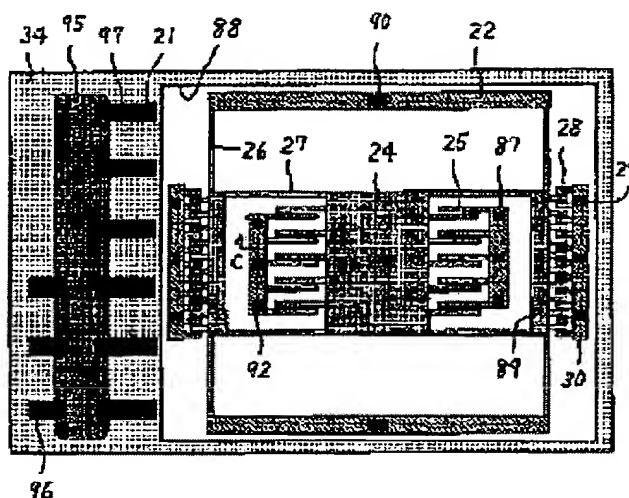
Patent number: JP10197552
Publication date: 1998-07-31
Inventor: MITAMURA TAKESHI
Applicant: NISSAN MOTOR CO LTD
Classification:
 - international: G01P15/125
 - european:
Application number: JP19970000529 19970107
Priority number(s):

BEST AVAILABLE COPY

Abstract of JP10197552

PROBLEM TO BE SOLVED: To sense the dynamic quantity accurately.

SOLUTION: A semiconductor active layer 34 is furnished with a groove 88, in which fixation parts 22, 30, 87 are provided, and a connection part 89 is provided in the fixation part 22 through a beam 26 and is fitted with a vibratory mass 24 through a beam 27. A drive electrode 28 is configured with a combtooth electrode extending from the side face of the connection part 89 and another combtooth electrode fixed to the fixation part 30, while a sensing electrode 25 is configured with a combteeth electrode extending from the side face of the mass 24 and a combteeth electrode fixed to the fixation part 87. The fixation part 87 is fitted with a buffer circuit consisting of a MOSFET, etc., and a signal processing circuit 95 is provided around the above-mentioned groove 88 in the layer 34.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-197552

(43) 公開日 平成10年(1998) 7月31日

(51) Int. Cl. ⁶

識別記号

F I

G01P 15/125

G01P 15/125

審査請求 未請求 請求項の数14 O L (全15頁)

(21) 出願番号 特願平9-529

(22) 出願日 平成9年(1997) 1月7日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 三田村 健

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(74) 代理人 弁理士 中村 純之助 (外1名)

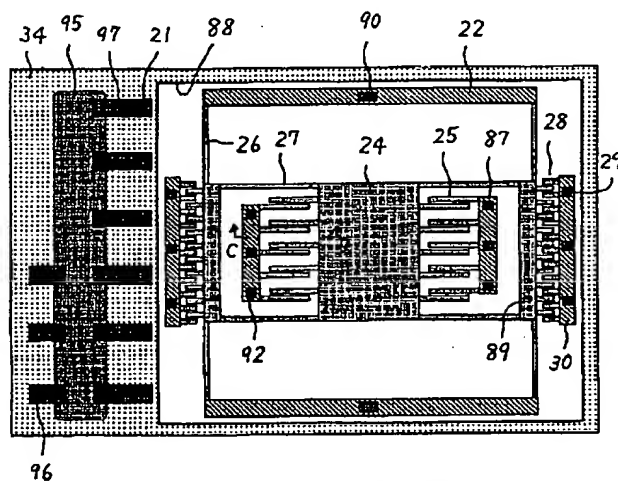
(54) 【発明の名称】 力学量センサ

(57) 【要約】

【課題】 力学量を高精度に検出する。

【解決手段】 半導体活性層34に溝部88を設け、溝部88内に固定部22、30、87を設け、固定部22に梁26を介して接続部89を設け、接続部89に梁27を介して振動質量24を設け、接続部89の側面から延びた櫛歯電極と固定部30に固定された櫛歯電極とで駆動電極28を構成し、振動質量24の側面から延びた櫛歯電極と固定部87に固定された櫛歯電極とで検出電極25を構成し、固定部87にMOSFET等からなるバッファ回路を設け、半導体活性層34の溝部88の周囲に信号処理回路95を設ける。

図1



- 24...振動質量
- 25...検出電極
- 28...駆動電極
- 34...半導体活性層
- 87...固定部
- 95...信号処理回路

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】半導体活性層に形成された可動構造体の固定部にバッファ回路を設けたことを特徴とする力学量センサ。

【請求項2】半導体支持基板、上記半導体支持基板上に形成された絶縁層および上記絶縁層上に形成された半導体活性層で形成されたSOI基板と、上記半導体活性層に形成されかつ検出電極を有する可動構造体と、上記可動構造体の固定部に設けられかつMOSFETを有するバッファ回路とを具備することを特徴とする力学量センサ。

【請求項3】上記可動構造体に駆動電極を設けたことを特徴とする請求項2に記載の力学量センサ。

【請求項4】上記MOSFETとして、上記固定部に形成されかつ共通固定電位に接続されたウェル領域と、上記ウェル領域に形成されたソースおよびドレイン領域と、上記ソース、ドレイン間領域に絶縁膜を介して設けられたゲート電極とを有するものを用いたことを特徴とする請求項2に記載の力学量センサ。

【請求項5】上記MOSFETとして、上記固定部に形成されたソースおよびドレイン領域と、上記ソース、ドレイン間領域に絶縁膜を介して設けられかつ共通固定電位に接続されたゲート電極とを有するものを用いたことを特徴とする請求項2に記載の力学量センサ。

【請求項6】上記絶縁層として火焰堆積法で形成したSi-B-Oガラス層を用い、上記MOSFETを上記Si-B-Oガラス層で絶縁分離された絶縁分離領域に形成したことを特徴とする請求項2に記載の力学量センサ。

【請求項7】上記バッファ回路、上記検出電極または上記駆動電極への電気的接続を金属線により行なったことを特徴とする請求項2～6のいずれかに記載の力学量センサ。

【請求項8】上記バッファ回路、上記検出電極または上記駆動電極への電気的接続を上記SOI基板に接合された絶縁基板上の配線により行なったことを特徴とする請求項2～6のいずれかに記載の力学量センサ。

【請求項9】上記半導体活性層に信号処理回路を形成したことを特徴とする請求項1～8に記載の力学量センサ。

【請求項10】上記SOI基板に信号処理回路が形成された半導体基板を接続したことを特徴とする請求項2～6に記載の力学量センサ。

【請求項11】上記バッファ回路、上記検出電極または上記駆動電極と上記半導体基板とをフリップチップボンディングにより接合したことを特徴とする請求項10に記載の力学量センサ。

【請求項12】上記半導体基板に貫通孔を形成し、上記信号処理回路を上記貫通孔の周囲に形成し、上記貫通孔の位置と上記可動構造体の位置とをほぼ一致させたこと

を特徴とする請求項10または11に記載の力学量センサ。

【請求項13】上記半導体基板をMOSデバイスプロセスで形成した第1の半導体基板とバイポーラデバイスプロセスで形成した第2の半導体基板とで構成し、上記第1、第2の半導体基板を接続する配線を上記SOI基板に設けたことを特徴とする請求項10に記載の力学量センサ。

【請求項14】上記SOI基板および上記半導体基板を封止されたカンパッケージ内に実装したことを特徴とする請求項10または13に記載の力学量センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体で構成された力学量センサに関するものである。

【0002】

【従来の技術】近年、多くの電子システムが安全性や快適性向上のために車載されている。たとえば、衝突時に乗員を保護するエアバックシステム、車両のスピンを防止するシャシ制御システム、車両の現在位置を知るためのナビゲーションシステムなどは急速に需要が伸長している。これらのシステムでは力学量を計測する力学量センサが重要な役割を果たす。すなわち、エアバックシステムでは加速度センサが主要部品となり、シャシ制御システム、ナビゲーションシステムでは加速度センサが主要部品となる。これらのシステムでは、力学量センサの高精度化、小型化、低コスト化が求められ、この要求に対して半導体で構成された力学量センサが実現されている。

【0003】図20は従来の半導体で構成された力学量センサ（たとえば、J. Bernstein et al. "Micromachined Comb-Drive Tuning Fork Rate Gyroscope", Digest IEEE/ASME Micro Electro Mechanical Systems (MEMS) Workshop, Florida, 1993, 143-148 に開示されている）の一部を示す概略図、図21は図20のA-A断面図である。図に示すように、基板65上に絶縁膜64が設けられ、基板65に固定部61、支持部60を介して振動質量62a、62bが設けられ、振動質量62a、62bの側面から延びた櫛歯電極と基板65に固定された櫛歯電極とで駆動電極63が構成され、固定部61、振動質量62a、62b等は多結晶シリコン薄膜を選択的にエッチングして作製されている。また、振動質量62a、62bの直下に検出電極66a、66bが設けられ、検出電極66a、66b等により検出部が構成されている。

【0004】この力学量センサにおいては、共通電位の端子aに対して端子b～dに逆位相の駆動電圧を印加すると、2つの振動質量62a、62bがそれぞれx方向の逆方向に駆動される。この状態で、力学量センサがz軸回りに回転して、z軸方向に角速度 Ω が入力すると、

それぞれの振動質量62a、62bに対してy軸方向にコリオリ力が発生する。そして、振動質量62a、62bの質量をm、静電引力により駆動される振動質量62a、62bの速さを $V_y(t)$ とすると、コリオリ力 $F_c(t)$ は次式で表される。なお、振動質量62a、62bはそれぞれ逆方向に駆動されるため、振動質量62a、62bに作用するコリオリ力 $F_c(t)$ の符号は逆になる。

【0005】

【数1】 $F_c(t) = 2 \cdot m \cdot V_y(t) \cdot \Omega$

このコリオリ力 $F_c(t)$ による振動質量62a、62bのy方向の変位に応じて、振動質量62aと検出電極63aとの間の容量、振動質量62bと検出電極63bとの間の容量が変化するから、差動容量により角速度 Ω を計測することができる。なお、(数1)式から明らかなように、コリオリ力 $F_c(t)$ を大きくするには速さ $V_y(t)$ を大きくすればよく、速さ $V_y(t)$ を大きくするには真空中で共振周波数で振動質量62a、62bを駆動すればよい。

【0006】図22は従来の他の半導体で構成された力学量センサ(特開平7-245416号公報)を示す概略断面図、図23は図22に示した力学量センサのガラス基板を示す概略図、図24は図22に示した力学量センサの半導体基板を示す概略図、図25は図22に示した力学量センサの実装基板を示す概略図である。図に示すように、実装基板79に溝部81が設けられ、実装基板79に半導体基板67が接合され、半導体基板67に信号処理回路72が設けられ、信号処理回路72に出力パッド73、接続部74が設けられ、半導体基板67にガラス基板75が接合され、ガラス基板75に溝部76が設けられ、またガラス基板75に接続部83、接続部84が設けられ、接続部83と接続部84とが配線77により接続され、半導体基板67に溝部80が設けられ、溝部80内に固定部68、82が設けられ、固定部68に梁69を介して質量78が設けられ、ガラス基板75に固定部68、82が固定され、質量78の側面から延びた櫛歯電極と固定部82に固定された櫛歯電極とで検出電極70が構成され、梁69、質量78により可動部が構成され、この可動部、検出電極70により検出部が構成されている。また、固定部82に接続部71が設けられ、接続部71と接続部83とが接続され、接続部84と接続部74とが接続されている。

【0007】この力学量センサにおいては、x方向に加速度が印加すると、質量78に慣性力が発生し、質量78は入力加速度と反対方向に変位する。この変位により検出電極70の櫛歯電極の間隔が変化し、検出電極70の静電容量が変化し、この静電容量の変化は配線77を介して信号処理回路72に入力され、出力パッド73から入力加速度に応じた検出信号が出力される。

【0008】

【発明が解決しようとする課題】図20、図21に示された力学量センサにおいては、他に信号処理回路が必要であり、たとえば別に信号処理回路が構成された集積回路が必要となる。しかし、半導体技術を用いた静電容量変化型の検出部の静電容量は通常数pF以下であるから、検出部と信号処理回路とを接続する金属配線等における寄生容量や電磁波等のノイズの影響により、信号処理回路に到達するまでに静電容量変化は劣化し、力学量を高精度に検出することができない。

【0009】また、図22～図25に示された力学量センサにおいては、検出部と信号処理回路72とをガラス基板75に設けられた配線77により接続しているから、図20、図21に示された力学量センサと比較して寄生容量やノイズの混入を抑制することができる。しかし、配線77にも寄生容量やノイズの影響が存在し、検出部が微細化して検出電極70の静電容量が小さくなり、静電容量変化が微小になるほど上記影響は無視できなくなり、やはり力学量を高精度に検出することができない。

【0010】本発明は上述の課題を解決するためになされたもので、力学量を高精度に検出することができる力学量センサを提供することを目的とする。

【0011】

【課題を解決するための手段】この目的を達成するため、本発明においては、半導体活性層に形成された可動構造体の固定部にバッファ回路を設ける。

【0012】また、半導体支持基板、上記半導体支持基板上に形成された絶縁層および上記絶縁層上に形成された半導体活性層で形成されたSOI基板と、上記半導体活性層に形成されかつ検出電極を有する可動構造体と、上記可動構造体の固定部に設けられかつMOSFETを有するバッファ回路とを設ける。

【0013】この場合、上記可動構造体に駆動電極を設ける。

【0014】また、上記MOSFETとして、上記固定部に形成されかつ共通固定電位に接続されたウェル領域と、上記ウェル領域に形成されたソースおよびドレイン領域と、上記ソース、ドレイン間領域に絶縁膜を介して設けられたゲート電極とを有するものを用いる。

【0015】また、上記MOSFETとして、上記固定部に形成されたソースおよびドレイン領域と、上記ソース、ドレイン間領域に絶縁膜を介して設けられかつ共通固定電位に接続されたゲート電極とを有するものを用いる。

【0016】また、上記絶縁層として火焰堆積法で形成したSi-B-Oガラス層を用い、上記MOSFETを上記Si-B-Oガラス層で絶縁分離された絶縁分離領域に形成する。

【0017】これらの場合、上記バッファ回路、上記検出電極または上記駆動電極への電氣的接続を金属線によ

り行なう。

【0018】また、上記バッファ回路、上記検出電極または上記駆動電極への電氣的接続を上記SOI基板に接合された絶縁基板上の配線により行なう。

【0019】これらの場合、上記半導体活性層に信号処理回路を形成する。

【0020】また、上記SOI基板に信号処理回路が形成された半導体基板を接続する。

【0021】この場合、上記バッファ回路、上記検出電極または上記駆動電極と上記半導体基板とをフリップチップボンディングにより接合する。

【0022】また、上記半導体基板に貫通孔を形成し、上記信号処理回路を上記貫通孔の周囲に形成し、上記貫通孔の位置と上記可動構造体の位置とをほぼ一致させる。

【0023】また、上記半導体基板をMOSデバイスプロセスで形成した第1の半導体基板とバイポーラデバイスプロセスで形成した第2の半導体基板とで構成し、上記第1、第2の半導体基板を接続する配線を上記SOI基板に設ける。

【0024】これらの場合、上記SOI基板および上記半導体基板を封止されたカンパッケージ内に実装する。

【0025】

【発明の効果】本発明に係る力学量センサにおいては、半導体活性層に形成された可動構造体の固定部にバッファ回路を設けているから、可動構造体の変位検出を可動構造体の真近で電気信号に変換することができるので、処理回路に至る配線部に発生する寄生容量やノイズの影響が少なくなるため、力学量を高精度に検出することができる。

【0026】また、本発明に係る力学量センサにおいては、半導体支持基板、半導体支持基板上に形成された絶縁層および絶縁層上に形成された半導体活性層で形成されたSOI基板と、半導体活性層に形成されかつ検出電極を有する可動構造体と、可動構造体の固定部に設けられかつMOSFETを有するバッファ回路とを設けているから、可動構造体の変位検出を検出電極の真近で電気信号に変換することができるので、処理回路に至る配線部に発生する寄生容量やノイズの影響が少なくなるため、力学量を高精度に検出することができる。

【0027】また、可動構造体に駆動電極を設けたときには、角速度を検出することができる。

【0028】また、MOSFETとして、固定部に形成されかつ共通固定電位に接続されたウェル領域と、ウェル領域に形成されたソースおよびドレイン領域と、ソース、ドレイン間領域に絶縁膜を介して設けられたゲート電極とを有するものを用いたときには、バッファ回路のストレイ容量となるpn接合容量は半導体活性層とウェル領域との間のpn接合容量のみであるから、ストレイ容量を抑制することができるので、高精度に低インピー

ダンス化が可能である。

【0029】また、MOSFETとして、固定部に形成されたソースおよびドレイン領域と、ソース、ドレイン間領域に絶縁膜を介して設けられかつ共通固定電位に接続されたゲート電極とを有するものを用いたときには、バッファ回路のストレイ容量は固定部と半導体支持基板との間の静電容量であるから、ストレイ容量を抑制することができるので、高精度に低インピーダンス化が可能である。

【0030】また、絶縁層として火焰堆積法で形成したSi-B-Oガラス層を用い、MOSFETをSi-B-Oガラス層で絶縁分離された絶縁分離領域に形成したときには、バッファ回路のストレイ容量主因となるpn接合容量が絶縁層によりほぼ除去され、またバッファ回路のストレイ容量の主因となる半導体支持基板と半導体活性層との間の静電容量は絶縁層を厚膜化することによりほぼ除去されるから、ストレイ容量を抑制することができるので、高精度に低インピーダンス化が可能である。

【0031】また、バッファ回路、検出電極または駆動電極への電氣的接続を金属線により行なったときには、バッファ回路、検出電極または駆動電極への電氣的接続を確実に行なうことができる。

【0032】また、バッファ回路、検出電極または駆動電極への電氣的接続をSOI基板に接合された絶縁基板上の配線により行なったときには、バッファ回路、検出電極または駆動電極への電氣的接続を容易に行なうことができる。

【0033】また、半導体活性層に信号処理回路を形成したときには、小型化することができる。

【0034】また、SOI基板に信号処理回路が形成された半導体基板を接続したときには、半導体基板を設計するときにより微細なデバイス設計ルールを適用することができるから、低コストで力学量センサを製造することができる。

【0035】また、バッファ回路、検出電極または駆動電極と半導体基板とをフリップチップボンディングにより接合したときには、バッファ回路、検出電極または駆動電極と半導体基板とを確実に接続することができる。

【0036】また、半導体基板に貫通孔を形成し、信号処理回路を貫通孔の周囲に形成し、貫通孔の位置と可動構造体の位置とをほぼ一致させたときには、SOI基板と半導体基板との位置合わせを貫通孔を介してSOI基板を目視観察することにより行なうことができる。

【0037】また、半導体基板をMOSデバイスプロセスで形成した第1の半導体基板とバイポーラデバイスプロセスで形成した第2の半導体基板とで構成し、第1、第2の半導体基板を接続する配線をSOI基板に設けたときには、歩留まりの向上やデバイス設計ルールの縮小等によりプロセスコストを低減することができる。

【0038】また、SOI基板および半導体基板を封止されたカンパッケージ内に実装したときには、SOI基板、半導体基板に異物が付着するのを防止することができ、またカンパッケージ内を所定の雰囲気気圧に保持することができるから、動作が確実に行なわれる。

【0039】

【発明の実施の形態】図2は本発明に係る力学量センサを示す概略断面図、図1は図2のB-B断面図、図3は図1のC-C断面図である。図に示すように、半導体支持基板36に絶縁層である酸化膜35を介してn型の半導体活性層34が接合され、半導体活性層34に絶縁基板であるガラス基板33が陽極接合法などにより接合されている。半導体支持基板36、酸化膜35、半導体活性層34によりSOI基板が構成されている。また、半導体活性層34に溝部88が設けられ、溝部88内に固定部22、30、87が設けられ、ガラス基板33に固定部22が固定され、固定部22に梁26を介して接続部89が設けられ、接続部89に梁27を介して振動質量24が設けられ、ガラス基板33に固定部30、87が固定され、接続部89の側面から延びた櫛歯電極と固定部30に固定された櫛歯電極とで駆動電極28が構成され、振動質量24の側面から延びた櫛歯電極と固定部87に固定された櫛歯電極とで検出電極25が構成され、梁26、接続部89、梁27、振動質量24により2重振動系が構成され、この2重振動系、駆動電極28、検出電極25により可動構造体が構成され、2重振動系は真空中に保持されている。また、固定部87に絶縁膜である酸化膜101を介して配線98が設けられ、固定部87にp型ウェル領域105が形成され、p型ウェル領域105が配線98、高濃度p型拡散層109を介して共通固定電位であるGNDに接続され、p型ウェル領域105内に高濃度n型拡散層104からなるソース、ドレイン領域が形成され、ソース、ドレイン間に酸化膜101を介して多結晶シリコンからなるゲート電極99が形成され、ソース、ドレイン領域、ゲート電極99等によりn型チャンネルのMOSFET111が構成され、MOSFET111の表面にパッシベーション膜100が設けられている。そして、検出電極25の固定部87に固定された櫛歯電極の電位は固定部87と共通であり、固定部87は高濃度n型拡散層104を介してゲート電極99に接続されている。また、ゲート電極99は負荷抵抗110を介してDCバイアス電位Vbiasに接続され、MOSFET111等により検出電極25の静電容量変化を電気信号に変換するバッファ回路が構成されている。そして、固定部30にも固定部87に設けられたバッファ回路と同様のバッファ回路が設けられている。また、固定部22にパッド90が設けられ、固定部30にバッファ回路の電源供給および出力用のパッド29が設けられ、固定部87にパッド92が設けられ、半導体活性層34の溝部88の周囲にインターフェイスパ

ッド21、信号処理回路95が設けられ、パッド90、29、92とインターフェイスパッド21とがガラス基板33の表面に形成された配線（図示せず）により接続され、パッド90、29、92とガラス基板33の表面に形成された配線とはガラス基板33に溝部91を形成して実現した凸部32に設けられたパッド（図示せず）を介して接続されている。また、インターフェイスパッド21と信号処理回路95とが配線97により接続され、半導体活性層34に信号処理回路95と接続された入出力パッド96が設けられている。

【0040】この力学量センサにおいては、パッド29に2重振動系のx方向共振周波数を有する駆動電圧を印加したときには、接続部89、梁27、振動質量24がx方向に駆動する。この場合、振動振幅は駆動電極28の静電容量変化により固定部30に設けたバッファ回路で検出可能である。この状態で、z軸方向に角速度 Ω が印加すると、振動質量24にy軸方向のコリオリ力が発生し、振動質量24がy軸方向に変位するから、検出電極25に静電容量変化が生ずる。そして、発生した静電容量変化が固定部87に設けられたバッファ回路により振動質量24の変位に応じた電気信号に変換され、この電気信号がインターフェイスパッド21を介して信号処理回路95に伝達され、電気信号が信号処理回路95により処理され、入出力パッド96から入力角速度に応じた検出信号が出力される。

【0041】つぎに、図4により図3に示したバッファ回路における信号変換について説明する。接地されている振動質量24がy軸方向に変位すると、検出電極25の容量Csが変化し、固定部87、ゲート電極99の電位が変動するから、MOSFET111において電圧信号として出力される。なお、バッファ回路次段以降における信号の出力方法の詳細は省略する。

【0042】図1～図3に示した力学量センサにおいては、可動構造体の変位検出を検出電極25の真近で電気信号に変換することができ、かつ低インピーダンス化が可能であるから、処理回路95に至る配線部にて発生する寄生容量やノイズの影響が少なくなるので、S/N比の劣化を防止することができるため、角速度 Ω を高精度に検出することができる。また、2重振動系が真空中に保持されているから、駆動時と検出時の振幅を大きくすることができるので、さらに角速度 Ω を高精度に検出することができる。また、パッド90、29、92とインターフェイスパッド21とがガラス基板33の表面に形成された配線により接続されているから、バッファ回路、検出電極25、駆動電極28への電氣的接続を容易に行なうことができる。また、半導体活性層34に信号処理回路95を形成しているから、小型化することができる。また、活性半導体層34とガラス基板33との接合をそれぞれウェハ状態でパッチプロセスで実行すれば、実装工数を大幅に削減でき、またウェハ状態からチップ

状態にするダイシング工程においてチップの保護等が容易である。

【0043】ところで、実際にゲート電極99に発生する電位変動はストレイ容量Cstrayにより検出電極25の電位変動の $1 / \{1 + (Cstray / Cs)\}$ に低下するから、高精度に変位を検出するためには、ストレイ容量Cstrayを抑制する必要がある。そして、固定部87に設けたMOSFET111で発生するストレイ容量Cstrayとしては固定部87内でのpn接合容量、固定部87と半導体支持基板36との間の静電容量がある。そして、図5に示すように、固定部87を電源電圧Vccに接続し、検出電極25の櫛歯電極の電位を分離するためにp型拡散層112を形成したときには、半導体活性層34とp型拡散層112との間のpn接合容量がゲート電極99と電源電圧Vccとの間に生ずるから、このpn接合容量はストレイ容量Cstrayとなり、しかもpn接合容量は検出電極25の櫛歯電極の数に比例するから、検出容量を大きくするほどストレイ容量Cstrayが大きくなり、バッファ回路から出力される電気信号が低下する。これに対して、バッファ回路を図3に示すようにしたときには、ストレイ容量Cstrayとなるpn接合容量は半導体活性層34とp型ウェル領域105との間のpn接合容量のみである。そして、MOSFETデバイス設計ルールによるが、半導体活性層34の厚さが10 μ m以下の場合、検出電極25の櫛歯電極の本数と最小のp型ウェル領域105のpn結合面積がほぼ同等であるとする、図5に示したバッファ回路の方が図3に示したバッファ回路よりも100倍程度のpn接合面を有する。また、このpn接合面積の比はMOSFETデバイス設計ルールの縮小と半導体活性層34の厚膜化に伴いさらに大きくなる。なお、固定部87と半導体支持基板36との間の静電容量は電極固定部全体の面積で決まるから、図3に示したバッファ回路の方が図5に示したバッファ回路よりも大きくなるが、固定部87と半導体支持基板36との間の単位面積あたりの静電容量はpn接合容量に比べて1桁程度小さいので、影響は少なく、図3に示したバッファ回路の方が図5に示したバッファ回路よりもストレイ容量Cstrayを抑制することができる。したがって、検出電極25の真近で高精度に静電容量変化を電気信号に変換することができ、かつ低インピーダンス化が可能である。なお、p型ウェル領域105が設けられているから、固定部87、ゲート電極99の電位が変動したとしても、バックゲート電位の変動を抑制することができる。

【0044】図6は本発明に係る他の力学量センサを示す概略断面図、図7は図6に示した力学量センサの検出部チップを示す概略平面図、図8は図7に示した検出部チップを示す概略正断面図、図9は図7のD-D断面図である。図に示すように、配線パターン(図示せず)を有する絶縁基板119上に検出部チップ120および半

導体基板である信号処理回路チップ123が固定され、絶縁基板119上に入出力パッド124が設けられ、絶縁基板119の配線パターンと検出部チップ120、信号処理回路チップ123とが金属線122により電気的に接続され、検出部チップ120はキャップ121に覆われている。また、検出部チップ120の半導体支持基板13に絶縁層である酸化膜12を介してn型の半導体活性層1が接合され、半導体支持基板13、酸化膜12、半導体活性層1によりSOI基板が構成されている。また、半導体活性層1に溝部85が設けられ、溝部85内に固定部5、6が設けられ、半導体支持基板13に固定部5が固定され、固定部5に梁9を介して質量8が設けられ、半導体支持基板13に固定部6が固定され、質量8の側面から延びた櫛歯電極と固定部6に固定された櫛歯電極とで検出電極7が構成され、質量8、梁9により可動部が構成され、可動部、検出電極7により可動構造体が構成されている。また、固定部5にパッド10が設けられ、固定部6にパッド14が設けられ、半導体活性層1には中間パッド2および検出部チップ120全体への電源供給および信号処理回路出力のためのインターフェイスパッド3が設けられ、中間パッド2とインターフェイスパッド3とが共通配線4により接続され、パッド10、14と中間パッド2とが金属線11により接続されている。また、固定部6には絶縁膜である酸化膜131を介して配線128が設けられ、高濃度p型拡散層139からなるソース、ドレイン領域が形成され、ソース、ドレイン間に酸化膜131を介して多結晶シリコンからなるゲート電極129が形成され、ゲート電極129が共通固定電位であるGNDに接続され、ソース、ドレイン領域、ゲート電極129等によりp型チャネルのMOSFET141が構成され、MOSFET141の表面にパッシベーション膜130が設けられている。そして、検出電極7の固定部6に固定された櫛歯電極の電位は固定部6と共通であり、固定部6は高濃度n型拡散層134、負荷抵抗140を介してDCバイアス電位Vbiasに接続され、MOSFET141等により検出電極7の静電容量変化を電気信号に変換するバッファ回路が構成されている。

【0045】この力学量センサにおいては、x方向に加速度が印加すると、質量8に慣性力が発生し、質量8は入力加速度と反対方向に変位する。この変位により検出電極7の櫛歯電極の間隔が変化し、検出電極7の静電容量が変化し、この静電容量の変化は固定部6に設けられたバッファ回路により電圧信号に変換され、この電圧信号はインターフェイスパッド3、金属線122を介して信号処理回路チップ123に伝達され、電圧信号が信号処理回路チップ123により処理され、入出力パッド124から入力加速度に応じた検出信号が出力される。また、固定部6に設けられたバッファ回路にはインターフェイスパッド3、共通配線4、中間パッド2、金属線1

1を介して電力が供給される。

【0046】つぎに、図10により図9に示したバッファ回路における信号変換について説明する。接地されている質量8がx軸方向に変位すると、検出電極7の容量Csが変化し、固定部6の電位が変化して、この電位変動は接地されたゲート電極129に対するバックゲートに直接入力され、MOSFET141において電圧信号として出力される。なお、バッファ回路次段以降における信号の出力方法の詳細は省略する。

【0047】図6～図9に示した力学量センサにおいては、検出部チップ120にバッファ回路が設けられているから、信号処理回路チップ123に至る配線部にて発生する寄生容量やノイズの影響が少なくなるので、S/N比の劣化を防止することができるため、加速度を高精度に検出することができる。また、検出部チップ120と信号処理回路チップ123とに分離されているから、開発、仕様変更における修正、変更が検出部、信号処理回路のいずれか一方に加えられる場合には、検出部チップ120、信号処理回路チップ123のいずれか一方のみを変更すればよいから、検出部、信号処理回路が同一のチップに集積されている場合と比較して、力学量センサの開発コストを抑制することができ、また仕様変更に要する開発期間を短縮することができる。また、検出部チップ120と信号処理回路チップ123とに分離されているから、検出部、信号処理回路が同一のチップに集積されている場合と比較して、信号処理回路チップ123を設計するとき、より微細なデバイス設計ルールを適用することができるので、低コストで力学量センサを製造することができる。また、検出部チップ120はキャップ121に覆われているから、ゴミ、水蒸気等の侵入を防止することができる。パッド10、14と中間パッド2とが金属線11により接続されているから、バッファ回路、検出電極7への電気的接続を確実にこなうことができる。

【0048】また、実際にバックゲートに発生する電位変動はストレイ容量Cstrayにより検出電極7の電位変動の $1 / \{ 1 + (Cstray / Cs) \}$ に低下し、ストレイ容量Cstrayは固定部6と半導体支持基板13との間の静電容量であり、この静電容量は固定部6の面積に比例するが、固定部6と半導体支持基板13との間の単位面積あたりの静電容量はpn接合容量に比べて1桁程度小さいので、図9に示したバッファ回路の方が図5に示したバッファ回路よりもストレイ容量Cstrayを抑制することができる。したがって、検出電極7の真近で高精度に静電容量変化を電気信号に変換することができ、かつ低インピーダンス化が可能である。

【0049】図11は本発明に係る他の力学量センサを示す概略断面図、図12は図11に示した力学量センサの信号処理回路チップを示す概略平面図、図13は図12に示した信号処理回路チップを示す概略裏面図、図1

4は図11に示した力学量センサの検出部チップを示す概略平面図である。図に示すように、カンパッケージのベース42にスペーサ45を介して半導体基板である信号処理回路チップ46が取り付けられ、信号処理回路チップ46に検出部チップ37が取り付けられ、ベース42にカンパッケージのキャップ38が溶着により封止され、検出部チップ37および信号処理回路チップ46がカンパッケージ内に実装されている。また、信号処理回路チップ46には裏面から表面に達する貫通孔44が設けられ、信号処理回路チップ46の表面の貫通孔44の周囲に信号処理回路43が形成され、信号処理回路チップ46の表面の貫通孔44隣接部および信号処理回路43部にはフリップチップボンディング用のパッド39aが形成され、パッド39aの周囲にはシール用のパッド47aが形成され、信号処理回路チップ46の裏面の貫通孔44の周囲に複数領域に分割されたスペーサ45が設けられている。また、検出部チップ37は半導体支持基板、絶縁層、半導体活性層からなるSOI基板で構成され、SOI基板に可動構造体が設けられ、可動構造体の固定部にMOSFET等からなるバッファ回路が形成されている。そして、検出部チップ37の表面には可動構造体への電気的接続およびバッファ回路への電源供給と出力用のパッド39bが固定部に合わせて形成され、検出部チップ37の周辺部には信号処理回路チップ46に形成されたシール用のパッド47aに合わせてシール用のパッド47bが形成され、信号処理回路チップ46と検出部チップ37とはパッド39a、39b、パッド47a、47bにおいて半田バンプを介してフリップチップボンディングにより接合され、貫通孔44の位置と可動構造体の位置とがほぼ一致している。また、信号処理回路43にパッド40が設けられ、ベース42にリード52が取り付けられ、パッド40とリード52とが金属線41により接続されている。さらに、検出部チップ37の構造に従い、例えば加速度センサの場合は窒素封止され、また角速度センサの場合は真空封止され、信号処理回路チップ46の貫通孔44により検出部チップ37の可動構造体もカンパッケージ内と同一雰囲気に保持されている。

【0050】つぎに、図15により図11～図14に示した力学量センサの製造方法について説明する。まず、図15(a)に示すように、検出部ウェハ93と信号処理回路ウェハ94との表面同士を接続すべきパッド39a、39bの位置合わせを行なう。この場合、位置合わせはたとえば信号処理回路ウェハ94の貫通孔44を介して検出部ウェハ93を目視観察することにより行なう。なお、パッド39a、39b上にはたとえば半田バンプが形成されている。つぎに、図15(b)に示すように、位置合わせした検出部ウェハ93、信号処理回路ウェハ94を加熱処理して半田を溶融し、電気的接続と機械的な接合を実現する。このとき、検出部ウェハ93、

信号処理回路ウェハ 9 4 上に配設したパッド 4 7 a、4 7 b によりの貫通孔 4 4 の全周囲で機械的に接合される。つぎに、図 1 5 (c) に示すように、検出部ウェハ 9 3 のみをダイシングする。すなわち、信号処理回路ウェハ 9 4 の裏面をダイシングテープ 5 6 上に貼付して固定し、検出部ウェハ 9 3 のみをダイシングブレード 5 5 によりダイシングする。その結果、検出部チップ 3 7 の周囲にダイシング溝 5 4 が形成される。つぎに、図 1 5 (d) に示すように、信号処理回路ウェハ 9 4 をダイシングする。すなわち、検出部ウェハ 9 3 の裏面をダイシングテープ 5 7 上に貼付して固定する。この際に、信号処理回路ウェハ 9 4 の裏面に貼付したダイシングテープ 5 6 は残しておく。つぎに、信号処理回路ウェハ 9 4 をダイシングブレード 5 9 によりダイシングする。このダイシング時の位置合わせは貫通孔 4 4 を利用することにより可能である。また、ダイシングブレード 5 9 はダイシングブレード 5 5 より幅が狭い。したがって、ダイシング溝 5 4 に合わせてダイシング溝 5 8 を形成可能である。つぎに、図 1 5 (e) に示すように、ダイシングテープ 5 6 を剥離して力学量センサチップに分割する。なお、ダイシングテープ 5 6 として粘着力が紫外線照射により低下するもの等を利用すれば、力学量センサチップの分割が容易である。

【0051】ところで、力学量センサにおいては、高精度のアナログ信号処理回路用にバイポーラデバイスが必須であり、一方微小静電容量変化検出には高入力インピーダンスを有する MOSFET デバイスが必須である。そして、信号処理回路をバイポーラデバイスと MOSFET デバイスを集積して形成する BiCMOS プロセスも知られているが、プロセスの複雑化に伴いプロセスコストの増加は否めない。これに対して、図 1 1 ~ 図 1 4 に示した力学量センサにおいては、微小静電容量検出に必要な MOSFET によるバッファ回路を検出部チップ 3 7 に集積したから、信号処理回路チップ 4 6 はバイポーラデバイスプロセスのみで実現でき、トータルで力学量センサの製造コストを低減することができる。また、信号処理回路チップ 4 6 に貫通孔 4 4 を形成する場合、表面型デバイスである MOSFET デバイスに比べてバイポーラデバイスの方がプロセス時の汚染等への耐性が高く、信号処理回路チップ 4 6 の歩留まりが高いという利点もある。また、信号処理回路チップ 4 6 と検出部チップ 3 7 とをフリップチップボンディングにより接合しているから、検出部チップ 3 7 に設けられたバッファ回路、検出電極、駆動電極と信号処理回路チップ 4 6 とを確実に接続することができる。また、貫通孔 4 4 の位置と可動構造体の位置とがほぼ一致しているから、パッド 3 9 a、3 9 b の位置合わせを貫通孔 4 4 を介して検出部ウェハ 9 3 を目視観察することにより行なうことができるから、容易にかつ正確に信号処理回路ウェハ 9 4 と検出部ウェハ 9 3 との位置合わせを行なうことができ

る。また、検出部チップ 3 7、信号処理回路チップ 4 6 が封止されたカンパッケージ内に実装されているから、検出部チップ 3 7、信号処理回路チップ 4 6 に異物が付着するのを防止することができ、またカンパッケージ内を所定の雰囲気中に保持することができるので、動作が確実に行なわれる。また、信号処理回路チップ 4 6 の貫通孔 4 4 の周囲にパッド 4 7 a を設け、検出部チップ 3 7 にもそれに合わせてパッド 4 7 b を設け、信号処理回路チップ 4 6 と検出部チップ 3 7 とをフリップチップボンディングにより接合し、ダイシングテープ 5 6、5 7 を第 1 5 図のように活用することにより、特別な手法を用いることなくダイシングを行なうことができるから、実装時の歩留まりを向上することができ、また製造コストを低減することができる。

【0052】図 1 6 は本発明に係る他の力学量センサを示す概略正断面図、図 1 7 は図 1 6 に示した力学量センサの信号処理回路チップおよび検出部チップを示す概略平面図である。図に示すように、カンパッケージのベース 4 2 に接着剤 4 9 により第 1、第 2 の半導体基板である信号処理回路チップ 4 8、5 0 が取り付けられ、信号処理回路チップ 4 8、5 0 に検出部チップ 3 7 が取り付けられ、信号処理回路チップ 4 8 にはバイポーラデバイスプロセスで信号処理回路 4 3 a が形成され、信号処理回路チップ 5 0 には CMOS デバイスプロセスで信号処理回路 4 3 b が形成され、信号処理回路チップ 4 8、5 0 が検出部チップ 3 7 上に配置した配線 5 1 により電気的に接続されている。

【0053】ところで、力学量センサは可動構造体および MOSFET を有するバッファ回路を集積した検出部チップとバイポーラデバイスプロセスによる信号処理回路チップとの 2 つのチップ構成で実現することができる。しかし、信号処理回路の高機能化に伴い、通信によりデータをメモリに書き込み、これを用いて製造バラツキ等を所定の仕様に合わせるトリミング等の必要が生ずれば、信号処理回路はバイポーラデバイスプロセスのみでは対応できなくなり、CMOS デバイスプロセスが必要になる。当然のことながら、信号処理回路を BiCMOS デバイスプロセスで実現してもよい。そして、図 1 6、1 7 に示す力学量センサにおいては、バイポーラデバイスプロセス、CMOS デバイスプロセスのそれぞれで信号処理回路チップ 4 8、5 0 を作成し、信号処理回路チップ 4 8、5 0 を配線 5 1 で接続しているから、歩留まりの向上やデバイス設計ルールの縮小等によりプロセスコストを低減することができる。また、検出部チップ 3 7、信号処理回路チップ 4 8、5 0 が封止されたカンパッケージ内に実装されているから、検出部チップ 3 7、信号処理回路チップ 4 8、5 0 に異物が付着するのを防止することができ、またカンパッケージ内を所定の雰囲気中に保持することができるので、動作が確実に行なわれる。

【0054】図18は本発明に係る他の力学量センサの一部を示す断面図である。図に示すように、半導体支持基板36に火焰堆積法で形成したSi-B-Oガラス層からなる絶縁層152を介して半導体活性層34が接合され、固定部87の一部に絶縁層152によって分離された絶縁分離領域118が形成され、固定部87の絶縁層152との界面には熱酸化膜（図示せず）が形成され、固定部87には酸化膜151を介して配線148が設けられ、絶縁分離領域118が配線148、高濃度p型拡散層159を介してGNDに接続され、高濃度n型拡散層154からなるソース、ドレイン領域が形成され、ソース、ドレイン間に酸化膜151を介して多結晶シリコンからなるゲート電極149が形成され、ソース、ドレイン領域、ゲート電極149等によりn型チャネルのMOSFET161が構成され、MOSFET161の表面にパッシベーション膜150が設けられている。そして、検出電極25の固定部87に固定された櫛歯電極の電位は固定部87の一部と共通であり、固定部87の一部は高濃度n型拡散層154を介してゲート電極149に接続されている。また、ゲート電極149は負荷抵抗160を介してDCバイアス電位Vbiasに接続され、MOSFET161等により検出電極25の静電容量変化を電気信号に変換するバッファ回路が構成され、このバッファ回路の等価回路は図4に示した回路と同等である。

【0055】つぎに、図19により図18に示した力学量センサの製造方法、すなわち火焰堆積法で形成したSi-B-Oガラス層により絶縁層が形成されたSOI基板つまりSODIC基板(T. Anno et al., 'The Soot Deposited Integrated Circuit Substrate of 6 inch Diameter for High Voltage ICs, Improved in the Durability against the Pressure Cooker Test', Proceedings of 1995 International Symposium on Power Semiconductor Devices & ICs, Yokohama, 1995, 298-302)を用いた製造方法について説明する。まず、図19(a)に示すように、半導体活性層34に異方性エッチング法を用いてV溝を形成し、V溝に熱酸化膜（図示せず）を形成し、SiCl₄、BCl₃、H₂、O₂混合ガスを燃焼反応して生成したSi-B-O微粉末（スート）152aをV溝を覆うよう半導体活性層基板全面に堆積し、Si-B-O微粉末152a上に半導体支持基板36を重ねる。つぎに、図19(b)に示すように、全体を加熱することにより、Si-B-O微粉末をSi-B-Oガラス化して、半導体支持基板36と半導体活性層34とを接合する。つぎに、図19(c)に示すように、半導体活性層34を研磨することにより、絶縁分離領域118を形成する。

【0056】図18に示した力学量センサのバッファ回路においては、ゲート電極149における電位低下をもたらすストレイ容量Cstrayを図3、図9に示したバッ

ファ回路よりも抑制することができる。すなわち、図3に示したバッファ回路のストレイ容量Cstrayの主因となった半導体活性層34とp型ウェル領域105との間のpn接合容量は、図18に示した力学量センサのバッファ回路では火焰堆積法で形成したSi-B-Oガラス層からなる絶縁層152によりほぼ除去される。また、図9に示したバッファ回路のストレイ容量Cstrayの主因となった半導体支持基板13と半導体活性層1との間の静電容量は、図18に示した力学量センサのバッファ回路では火焰堆積法で形成したSi-B-Oガラス層からなる絶縁層152を厚膜化することによりほぼ除去される。なお、絶縁層152の厚膜化は容易であり、数十μm厚が可能である。したがって、図18に示した力学量センサのバッファ回路においては、図3、図9に示したバッファ回路と比較してストレイ容量Cstrayをさらに抑制することができるから、より高精度に検出電極25の静電容量変化を電気信号に変換することができ、かつ低インピーダンス化が可能である。

【0057】また、SODIC基板を用いることにより電極固定部からの配線の引き出しを、配線が形成された絶縁基板との接合等の必要なく容易に実現できるという効果が得られる。

【0058】配線の構造を図26に示す。SODIC基板における電極固定部からの配線引き出しの模式図を図26に示す。図26(a)は電極固定部と可動体を取り囲む共通フレームa7の拡大模式図である。図26(b)は配線引き出し部a1の拡大図、図26(c)は配線引き出し部のE-E断面図である。配線引き出し部においては電極固定部と共通フレーム部はV溝内に堆積したスート層a3により分離されている。配線a5がスート層a3を横切る部分には配線a5の幅に合わせてトレンチ溝a2が形成されている。配線a5上にはパッシベーション膜a4が形成されている。

【0059】図26のような構造とすることでSODIC基板のみで電極固定部からの配線引き出しが可能であり、かつpn接合分離部分が存在しないので寄生容量を大幅に抑制することができる。

【0060】なお、上述実施の形態においては、n型チャネルのMOSFET111を設けたが、MOSFET111の代わりにp型チャネルのMOSFETを設けてもよい。また、上述実施の形態においては、p型チャネルのMOSFET141を設けたが、MOSFET141の代わりにn型チャネルのMOSFETを設けてもよい。また、上述実施の形態においては、n型チャネルのMOSFET161を設けたが、MOSFET161の代わりにp型チャネルのMOSFETを設けてもよい。

【図面の簡単な説明】

【図1】図2のB-B断面図である。

【図2】本発明に係る力学量センサを示す概略断面図である。

【図 3】図 1 の C - C 断面図である。

【図 4】図 3 に示した力学量センサのバッファ回路の等価回路図である。

【図 5】力学量センサのバッファ回路の比較例を示す断面図である。

【図 6】本発明に係る他の力学量センサを示す概略断面図である。

【図 7】図 6 に示した力学量センサの検出部チップを示す概略平面図である。

【図 8】図 7 に示した検出部チップを示す概略正断面図 10 である。

【図 9】図 7 の D - D 断面図である。

【図 10】図 9 に示した力学量センサのバッファ回路の等価回路図である。

【図 11】本発明に係る他の力学量センサを示す概略断面図である。

【図 12】図 11 に示した力学量センサの信号処理回路チップを示す概略平面図である。

【図 13】図 12 に示した信号処理回路チップを示す概略裏面図である。

【図 14】図 11 に示した力学量センサの検出部チップを示す概略平面図である。

【図 15】図 11 ~ 図 14 に示した力学量センサの製造方法の説明図である。

【図 16】本発明に係る他の力学量センサを示す概略正断面図である。

【図 17】図 16 に示した力学量センサの信号処理回路チップおよび検出部チップを示す概略平面図である。

【図 18】本発明に係る他の力学量センサの一部を示す断面図である。

【図 19】図 18 に示した力学量センサの製造方法の説明図である。

【図 20】従来の半導体で構成された力学量センサの一部を示す概略図である。

【図 21】図 20 の A - A 断面図である。

【図 22】従来の他の半導体で構成された力学量センサを示す概略断面図である。

【図 23】図 22 に示した力学量センサのガラス基板を示す概略図である。

【図 24】図 22 に示した力学量センサの半導体基板を 40 示す概略図である。

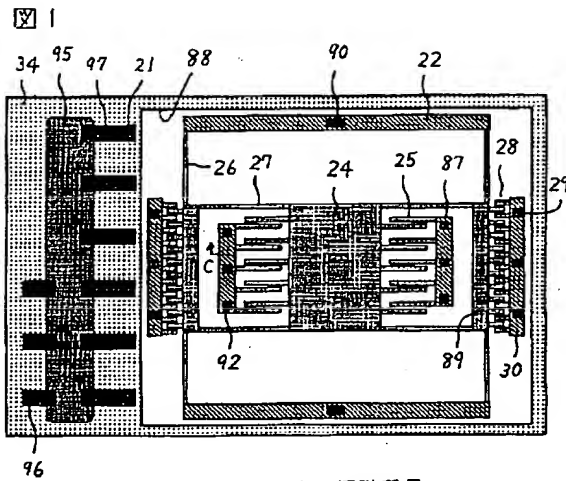
【図 25】図 22 に示した力学量センサの実装基板を示す概略図である。

【図 26】本発明に係る他の力学量センサの一部を示す図である。

【符号の説明】

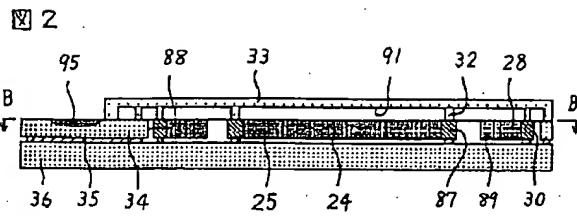
- 1 … 半導体活性層
- 6 … 固定部
- 7 … 検出電極
- 8 … 質量
- 11 … 金属線
- 12 … 酸化膜
- 13 … 半導体支持基板
- 24 … 振動質量
- 25 … 検出電極
- 28 … 駆動電極
- 33 … ガラス基板
- 34 … 半導体活性層
- 35 … 酸化膜
- 36 … 半導体支持基板
- 37 … 検出部チップ
- 38 … キャップ
- 42 … ベース
- 43 … 信号処理回路
- 44 … 貫通孔
- 46 … 信号処理回路チップ
- 48 … 信号処理回路チップ
- 50 … 信号処理回路チップ
- 51 … 配線
- 87 … 固定部
- 95 … 信号処理回路
- 99 … ゲート電極
- 101 … 酸化膜
- 105 … p 型ウェル領域
- 111 … MOSFET
- 118 … 絶縁分離領域
- 120 … 検出部チップ
- 123 … 信号処理回路チップ
- 129 … ゲート電極
- 131 … 酸化膜
- 141 … MOSFET
- 149 … ゲート電極
- 151 … 酸化膜
- 152 … 絶縁層
- 161 … MOSFET

【図 1】



- 24...振動質量
25...検出電極
28...駆動電極
34...半導体活性層
87...固定部
95...信号処理回路

【図 2】



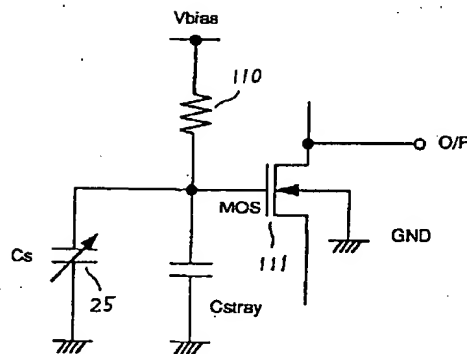
- 24...振動質量
25...検出電極
28...駆動電極
33...ガラス基板
34...半導体活性層
35...酸化膜
36...半導体支持基板
87...固定部
95...信号処理回路

【図 4】

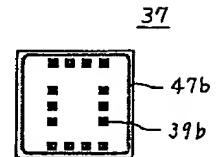
【図 14】

図 4

図 14



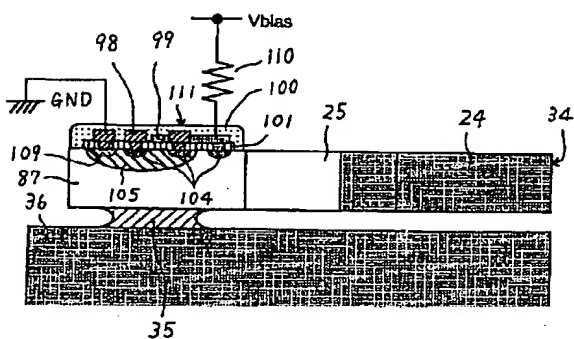
- 25...検出電極
111...MOSFET



37...検出部チップ

【図 3】

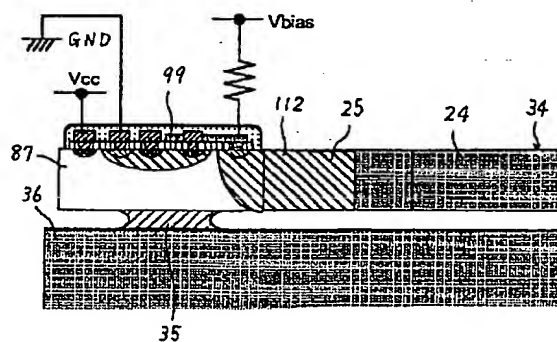
図 3



- 24...振動質量
25...検出電極
34...半導体活性層
35...酸化膜
36...半導体支持基板
99...ゲート電極
101...酸化膜
105...p型ウェル領域
111...MOSFET

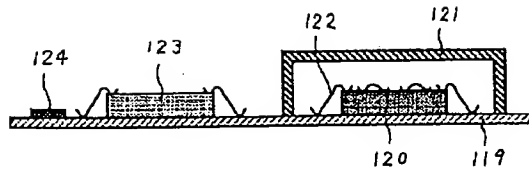
【図 5】

図 5



【図 6】

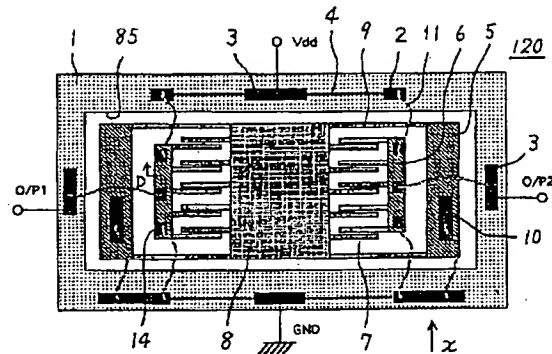
図 6



120...検出部チップ
123...信号処理回路チップ

【図 7】

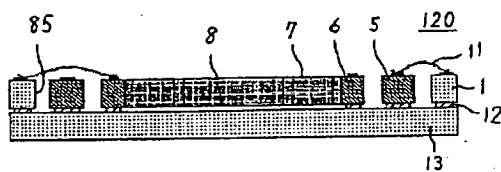
図 7



1...半導体活性層
6...固定部
7...検出電極
8...質量
11...金属線
120...検出部チップ

【図 8】

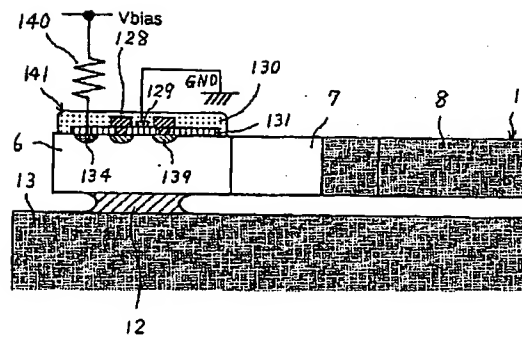
図 8



1...半導体活性層
6...固定部
7...検出電極
8...質量
11...金属線
12...酸化膜
13...半導体支持基板
120...検出部チップ

【図 9】

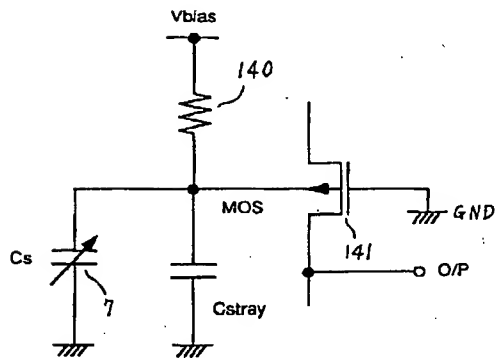
図 9



1...半導体活性層
7...検出電極
8...質量
12...酸化膜
13...半導体支持基板
129...ゲート電極
131...酸化膜
141...MOSFET

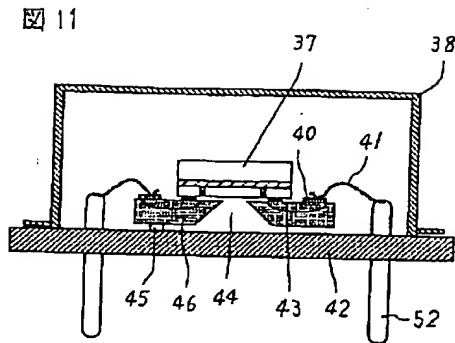
【図 10】

図 10



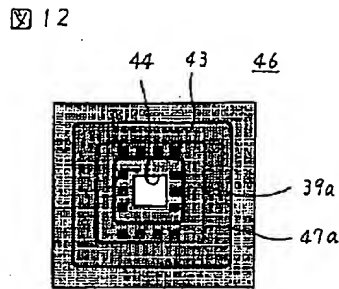
7...検出電極
141...MOSFET

【図11】



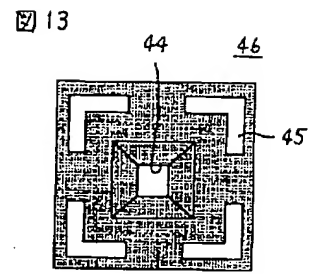
- 37...検出部チップ
38...キャップ
42...ベース
43...信号処理回路
44...貫通孔
46...信号処理回路チップ

【図12】



- 43...信号処理回路
44...貫通孔
46...信号処理回路チップ

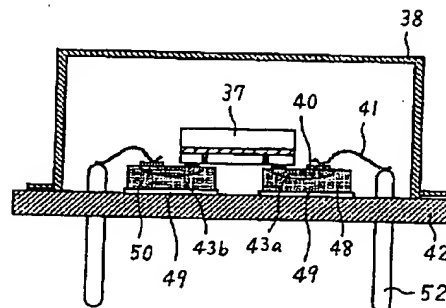
【図13】



- 44...貫通孔
46...信号処理回路チップ

【図16】

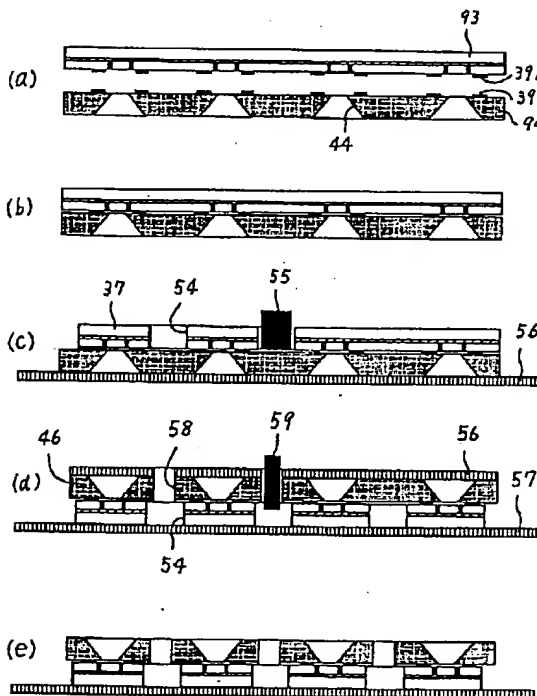
図16



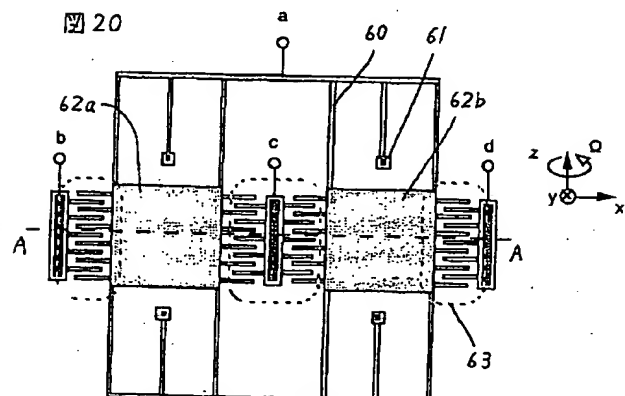
- 37...検出部チップ
38...キャップ
42...ベース
43a...信号処理回路
43b...信号処理回路
48...信号処理回路チップ
50...信号処理回路チップ

【図15】

図15

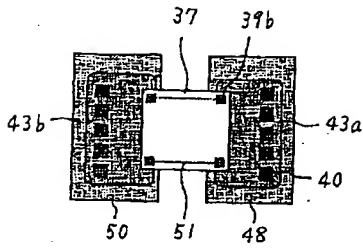


【図20】



【図 17】

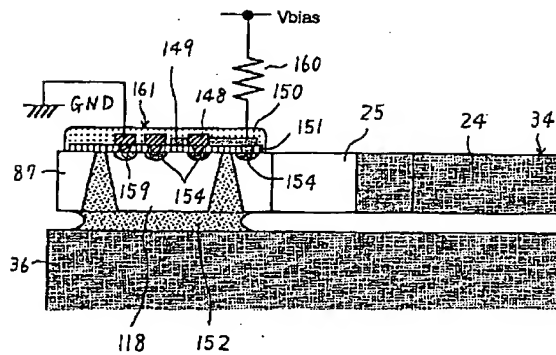
図 17



- 37…検出部チップ
43a…信号処理回路
43b…信号処理回路
48…信号処理回路チップ
50…信号処理回路チップ
51…配線

【図 18】

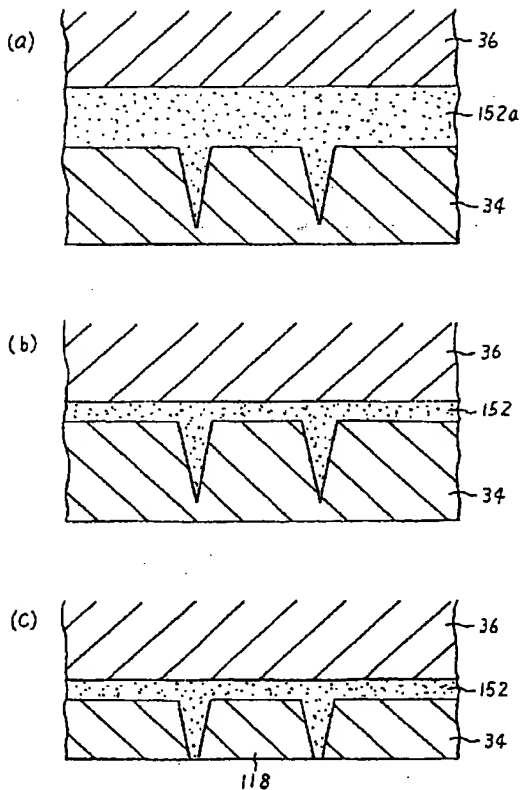
図 18



- 24…振動質量
25…検出電極
34…半導体活性層
36…半導体支持基板
118…絶縁分離領域
149…ゲート電極
151…酸化膜
152…絶縁層
161…MOSFET

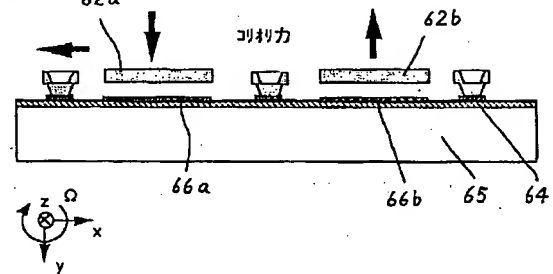
【図 19】

図 19



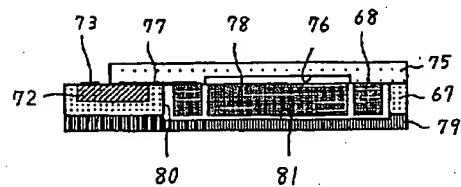
【図 21】

図 21

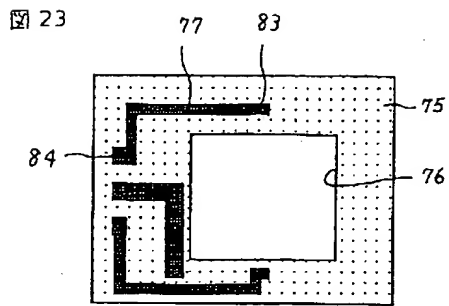


【図 22】

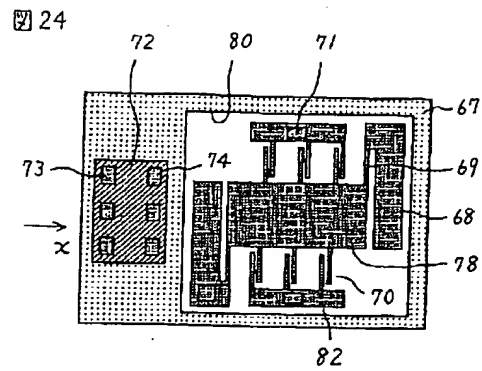
図 22



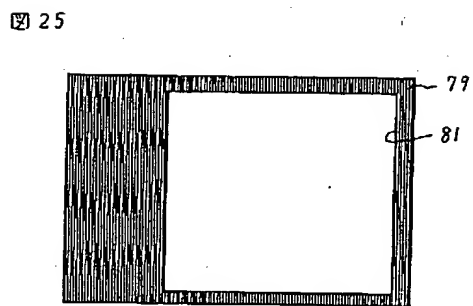
【図 23】



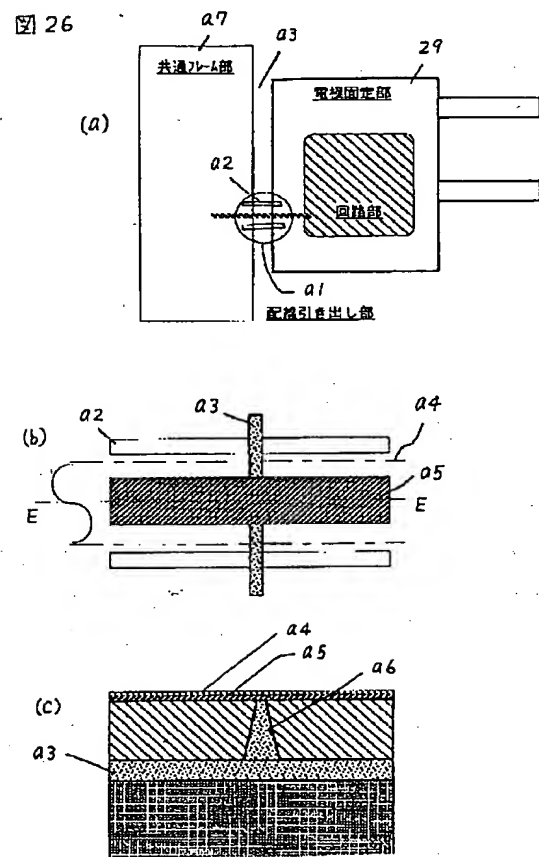
【図 24】



【図 25】



【図 26】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)